

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月25日

出 願 番 号

Application Number:

特願2003-082334

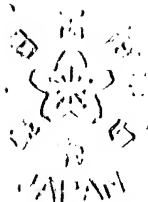
[ST.10/C]:

[JP 2003-082334]

出 願 人

Applicant(s):

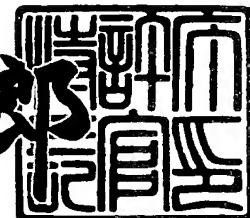
沖電気工業株式会社



2003年 6月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3048792

【書類名】 特許願

【整理番号】 MA001419

【提出日】 平成15年 3月25日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/687

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 柳原 淳一

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003703

【包括委任状番号】 0101807

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電流駆動型差動ドライバ及び電流駆動型差動ドライバを用いたデータ送信方法

【特許請求の範囲】

【請求項 1】 電流源と、該電流源と 2 つの出力端子との間にそれぞれ接続された 2 つの電流スイッチと、送信すべきデータの値に従い前記 2 つの電流スイッチを選択的に閉じる手段とを有する電流駆動型差動ドライバであって、

前記電流源から流れる電流と基準値との差分に応じた値の信号を出力する比較手段と、

前記比較手段の出力する信号の値に応じた電流を前記電流源から前記 2 つの出力端子とは異なるノードに流す出力電流補正手段と

を備えることを特徴とする電流駆動型差動ドライバ。

【請求項 2】 印加されるバイアス電圧に応じた値の電流を出力する電流源と、該電流源と 2 つの出力端子との間にそれぞれ接続された 2 つの電流スイッチと、送信すべきデータの値に従い前記 2 つの電流スイッチを選択的に閉じる手段とを有する電流駆動型差動ドライバであって、

前記電流源から流れる電流と基準値との差分に応じた値の信号を出力する比較手段と、

前記バイアス電圧を前記比較手段の出力する信号の値に応じて補正するバイアス電圧補正手段と

を備えることを特徴とする電流駆動型差動ドライバ。

【請求項 3】 電流源と、該電流源と 2 つの出力端子との間にそれぞれ接続された 2 つの電流スイッチと、送信すべきデータの値に従い前記 2 つの電流スイッチを選択的に閉じる手段と、外部から入力される第 1 の指示に従い、該手段が前記 2 つのスイッチを閉じることを許可又は禁止する手段とを有する電流駆動型差動ドライバであって、

前記第 1 の指示がデータの送信を禁止することを示し且つ外部から入力される第 2 の指示がデータの送信を許可することを示す間オンとなって、前記電流源から流れる電流を前記 2 つの出力端子とは異なるノードに流すスイッチ手段を備え

ることを特徴とする電流駆動型差動ドライバ。

【請求項 4】 電流源と、該電流源と 2 つの出力端子との間にそれぞれ接続された 2 つの電流スイッチと、送信すべきデータの値に従い前記 2 つの電流スイッチを選択的に閉じる手段と、外部から入力される第 1 の指示に従い、該手段が前記 2 つのスイッチを閉じることを許可又は禁止する手段とを有する電流駆動型差動ドライバであって、

前記第 1 の指示がデータの送信を禁止することを示し且つ外部から入力される第 2 の指示がデータの送信を許可することを示す間オンとなって、前記電流源から流れる電流を前記 2 つの出力端子とは異なるノードに流すスイッチ手段と、

前記電流源から流れる電流と基準値との差分に応じた値の信号を出力する比較手段と、

前記電流源から前記比較手段の出力する信号の値に応じた電流を前記 2 つの出力端子とは異なるノードに流す出力電流補正手段と

を備えることを特徴とする電流駆動型差動ドライバ。

【請求項 5】 印加されるバイアス電圧に応じた値の電流を出力する電流源と、該電流源と 2 つの出力端子との間にそれぞれ接続された 2 つの電流スイッチと、送信すべきデータの値に従い前記 2 つの電流スイッチを選択的に閉じる手段と、外部から入力される第 1 の指示に従い、該手段が前記 2 つのスイッチを閉じることを許可又は禁止する手段とを有する電流駆動型差動ドライバであって、

前記第 1 の指示がデータの送信を禁止することを示し且つ外部から入力される第 2 の指示がデータの送信を許可することを示す間オンとなって、前記電流源から流れる電流を前記 2 つの出力端子とは異なるノードに流すスイッチ手段と、

前記電流源から流れる電流と基準値との差分に応じた値の信号を出力する比較手段と、

前記バイアス電圧を前記比較手段の出力する信号の値に応じて補正するバイアス電圧補正手段と

を備えることを特徴とする電流駆動型差動ドライバ。

【請求項 6】 外部からデータの送信を許可することを示す指示を受けたときに外部から入力されるデータを所定の形式に変換し、請求項 4 または 5 に記載

の電流駆動型差動ドライバに該データを前記第1の指示と共に送ることにより該データを前記2つの出力端子から送信する方法であって、

前記データ送信を許可する指示を受けたときに、前記データを前記所定の形式に変換するのに先立ち、該指示を前記第2の指示として電流駆動型差動ドライバに送ることを特徴とする電流駆動型差動ドライバを用いたデータ送信方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流駆動型差動ドライバ及び電流駆動型差動ドライバを用いてデータを送信する方法に関する。

【0002】

【従来の技術】

通信装置間やLSI装置間におけるデータの送受信を、小振幅差動信号により行うことは公知である。図12を参照してこのようなデータ送受信方法について説明する。同図において、データの送信は送信装置40内に設けられた差動ドライバ1からPOS出力端子（正出力端子）及びNEG出力端子（負出力端子）に互いに逆方向の電流を流すことにより行われる。差動ドライバ1から電流を流すことにより、送信装置40と受信装置50とを接続するツイストペアケーブル45の終端抵抗に電圧が発生する。受信装置50では、終端抵抗に発生する電圧、即ち、POS入力端子及びNEG入力端子に発生する電圧を差動レシーバ51により比較し、比較結果に基づいてデータの値を判別することによりデータを受信する構成となっている。

【0003】

差動ドライバ1の内部構成を図13に示す。同図に示すように差動ドライバ1は、電流源として動作するPMOSトランジスタ2（以下、電流源2という）、電流源2からの電流をDATA入力端子から入力されるDATA信号（2値信号）に従いPOS端子及びNEG端子のいずれか一方に切替えて流す切替えスイッチとして動作するPMOSトランジスタ3、4（以下、スイッチ3、4という）、OE入力端子から入力されるOE信号（出力許可／禁止信号）に従い、スイッ

チ 3, 4 の導通状態を制御する NAND ゲート 8, 9、DATA 信号を反転するインバータ 6, 7 を含む。OE 信号が H レベル（ハイレベル）のときは、DATA 信号に従い、スイッチ 3, 4 のいずれかがオンとなり、OE 信号が L レベル（ローレベル）のときはスイッチ 3, 4 の両方がオフとなる。

【0004】

差動ドライバ 1 が出力不許可状態から出力許可状態に切替わるとき、電流源 2 の動作が安定するまでに時間を要するので、データを高速で送受信する装置では、差動ドライバ 1 を図 14 に示す構成とする場合も有る。この構成では、差動ドライバ 1 が出力不許可状態にあるとき、PMOS トランジスタ 14（以下、スイッチ 14 という）がオンになり、電流源 2 からの電流がこのスイッチ 14 を介してグランドに流れる。即ち、この構成では差動ドライバ 1 はその出力状態に拘わらず、電流源 2 から常に電流が流れているので、図 13 の構成とは異なり、出力不許可状態から出力許可状態に切替わった際に、電流源 2 の動作が安定するまで待つ必要はなく、データの高速転送が可能となる。このような構成は例えば特許文献 1 及び特許文献 2 に記載されている。

【0005】

【特許文献 1】

特開平 8-204557 号公報

【特許文献 2】

特開 2000-332610 号公報

【0006】

【発明が解決しようとする課題】

図 13 に示した構成では、差動ドライバ 1 が出力不許可の状態にあるときにはスイッチ 3, 4 が両方ともオフであり、従ってスイッチ 3, 4 の共通ノードの電圧は VDD ノードの電圧にほぼ等しい。この状態から差動ドライバ 1 が出力許可の状態に移移するとスイッチ 3, 4 のいずれかがオンとなり、そのため共通ノードの電圧は低下するが、電流源 2 のゲートとドレインとは容量により電氣的に結合しているので、共通ノードの電圧、即ち電流源 2 のドレインの電圧が低下すると電流源 2 のゲートの電圧、即ち BIAS 電圧が低下し、その結果、電流源 2 か

ら流れる電流が増加する。このため、B I A S 電圧が正常値に復帰するまで P O S 出力端子または N E G 出力端子から必要以上に電流が流れるという問題がある。

【0007】

一方、図 1 4 に示した構成では、出力不許可状態から出力許可状態への遷移に伴う出力電流の増大という問題は回避できるが、電流源 2 からは常時電流が流れているので差動ドライバの消費電流が大きいという問題がある。

【0008】

本発明は上記問題に鑑みなされたものであり、電流駆動型差動ドライバにおいて、消費電流を増加させることなく出力不許可状態から出力許可状態への遷移に伴う出力電流の増大を防止することを可能とし、それにより高速データ伝送を低消費電力で実現することを目的とする。

【0009】

【課題を解決するための手段】

上記目的を達成すべく、電流源と、該電流源と 2 つの出力端子との間にそれぞれ接続された 2 つの電流スイッチと、送信すべきデータの値に従い前記 2 つの電流スイッチを選択的に閉じる手段とを有する本発明の電流駆動型差動ドライバは、前記電流源から流れる電流と基準値との差分に応じた値の信号を出力する比較手段と、前記比較手段の出力する信号の値に応じた電流を前記電流源から前記 2 つの出力端子とは異なるノードに流す出力電流補正手段とを備えることを特徴とする。

【0010】

上記目的を達成すべく、外部からデータの送信を許可することを示す指示を受けたときに外部から入力されるデータを所定の形式に変換し、本発明の電流駆動型差動ドライバに該データを前記第 1 の指示と共に送ることにより該データを前記 2 つの出力端子から送信する本発明のデータ送信方法は、前記データ送信を許可する指示を受けたときに、前記データを前記所定の形式に変換するのに先立ち、該指示を前記第 2 の指示として電流駆動型差動ドライバに送ることを特徴とする。

【 0 0 1 1 】

【発明の実施の形態】

第 1 の実施形態

図 1 に本発明の第 1 の実施形態に係る電流駆動型差動ドライバの構成を示す。同図に示すように、DATA 入力端子はインバータ 6 の入力端子に接続され、インバータ 6 の出力端子はインバータ 7 の入力端子と 2 入力 NAND ゲート 9 の一方の入力端子とに接続され、インバータ 7 の出力端子は 2 入力 NAND ゲート 8 の一方の入力端子に接続される。2 入力 NAND ゲート 8, 9 の他方の入力端子はそれぞれ OE 入力端子に接続される。BIAS 入力端子は電流源 2 のゲート端子に接続される。この電流源 2 は BIAS 電圧に応じた電流を出力するが、USB 2.0 (Universal Serial Bus Specification Revision 2.0) 仕様の場合は、約 17.8 mA の電流を出力するように設定される。電流源 2 の出力電流の設定は、一般にカレントミラー回路を用いて行われる。

【 0 0 1 2 】

電流源 2 のソース端子は VDD ノードに接続され、スイッチ 3 のゲート端子は 2 入力 NAND ゲート 8 の出力端子に接続され、スイッチ 3 のドレイン端子は DP 端子に接続され、スイッチ 4 のゲート端子は 2 入力 NAND ゲート 9 の出力端子に接続され、スイッチ 4 のドレイン端子は DM 端子に接続される。電流源 2 のドレイン端子はスイッチ 3, 4 の各ソース端子と出力補正トランジスタ 11 のソース端子とに接続される。BIAS 入力端子はまた電流比較回路 10 の BIAS 端子にも接続され、電流比較回路 10 の OUT 端子は出力電流補正トランジスタ 11 のゲート端子に接続され、出力電流補正トランジスタ 11 のドレイン端子はグランドノードに接続される。

【 0 0 1 3 】

電流比較回路 10 は電流源 2 の出力電流が基準値より大きいかな否かを検出する回路である。出力電流補正トランジスタ 11 は電流比較回路 10 の比較結果に応じた値の出力信号に応じて電流源 2 の出力電流の一部をグランドノードに流すことにより、DP 端子または DM 端子から外部に流れる電流を調整する役割を有する。例えば、OE 信号が出力不許可を示し、電流源 2 の出力電流が DP 端子また

はDM端子から外部に流れることが許可されない状態（出力不許可状態）ではスイッチ3, 4の両方がオフであり、共通ノードの電圧はVDDノードの電圧とほぼ同じである。この状態から出力許可状態に移移するとDATA信号に応じてスイッチ3, 4のいずれかがオンとなり、共通ノードの電圧が急激に低下するが、このとき、電流源2のゲート-ドレイン間容量の影響によりBIAS電圧も低下するので電流源2の出力電流が増加する。従来のドライバではこのBIAS電圧が正常値に復帰するまでの間はDP端子またはDM端子から外部に必要以上の電流が流れることになる。

【0014】

しかし本実施形態では、電流比較回路10により電流源2の出力電流を基準値と比較し、出力電流が基準値を超えている場合には、電流源2から流れる余分の電流を出力電流補正トランジスタ11を介してグランドノードへ流すので、DP端子又はDM端子から外部に流れる電流を所定の値に維持することができる。DP端子又はDM端子から出力される一定の電流を、例えば図12に示したように、ツイストケーブルを介して受信装置内の一対の終端抵抗にそれぞれ流し、該終端抵抗に電圧を発生させ、受信装置内の差動レシーバによりこの発生した電圧を比較することによりデータを受信することができる。

【0015】

図2に電流比較回路10の回路構成を示す。同図に示すように、基準電流源20の出力はNMOSTランジスタ21のドレイン端子、ゲート端子、NMOSTランジスタ22のゲート端子、及び差動増幅器24の一方の入力端子に接続される。NMOSTランジスタ21, 22はカレントミラー回路を構成している。BIAS端子はPMOSTランジスタ23のゲート端子に接続され、PMOSTランジスタ23のソース端子はVDDノードに接続され、そのドレイン端子はNMOSTランジスタ22のドレイン端子と差動増幅器24の他方の入力端子とに接続され、差動増幅器24の出力端子はOUT端子に接続される。

【0016】

次に上記構成の電流駆動型差動ドライバの動作を図3のタイムチャートを参照して説明する。

OE端子から入力されるOE信号がLレベルからHレベルに遷移すると、DATA端子から入力されるDATA信号のレベルに応じて2入力NANDゲート8及び9の出力信号のいずれか一方がLレベルとなって、スイッチ3及び4のいずれか一方がオンとなり、DP端子またはDM端子から電流が外部に出力される。図3ではDATA信号がLレベルとなっているため2入力NANDゲート9の出力信号がLレベルとなり、スイッチ3がオンとなるため電流源2からDM端子に電流が流れる。

【0017】

また、OE信号がLレベルの時にはスイッチ3及び4の両方がオフとなるため、共通ノードの電圧はVDDノードとほぼ同じ電圧となるが、OE信号がHレベルに遷移すると、前述したとおりスイッチ3がオンとなるため共通ノードの電圧が低下する。それに伴って電流源2のゲート-ドレイン(BIAS-共通ノード)間容量の影響によりBIAS電圧も低下する。BIAS電圧が低下すると電流源2の出力電流は増加するが、電流源2の出力電流と電流比較回路10内のPMOSトランジスタ23の出力電流とは比例関係にあるのでPMOSトランジスタ23の出力電流も同じ割合で増加する。

【0018】

PMOSトランジスタ23の出力電流が基準電流源20の出力電流(基準電流)より大である場合にはPMOSトランジスタ23のドレイン端子とNMOSトランジスタ22のドレイン端子とを接続するノードBの電圧は、基準電流源20の出力とNMOSトランジスタ21のドレイン端子とを接続するノードAの電圧より高くなる。差動増幅器24はノードBの電圧がノードAの電圧より高くなるとその差に応じて出力電圧をVDDノードの電圧から低下させるように構成されている。従って、BIAS電圧が低下すると電流比較回路10の出力電圧は低下し、電流源2の出力電流の一部が出力電流補正トランジスタ11を介してグランドノードへ流れ始める。このとき、差動増幅器24の出力電圧に応じてグランドノードへ流れる電流の値は変化する。

【0019】

このように電流源2から必要以上の電流が流れていることを電流比較回路10

によって検出し、OUT端子の電圧を低下させることにより出力電流補正トランジスタ11を動作させ、余分の電流をグランドノードへ流すことによりDP端子またはDM端子から外部に出力される電流を所望の値に維持することができる。

B I A S電圧が正常値に復帰した場合には電流比較回路10のOUT端子の出力電圧が上昇し、出力電流補正トランジスタ11の分流動作が停止する。以降、DATA信号のレベルの変化に応じて2入力NANDゲート8及び9の出力信号が変化し、スイッチ3及び4のいずれかがオンとなり、DP端子またはDM端子から電流が外部に流れる。

【0020】

その後、OE信号がHレベルからLレベルに遷移すると、2入力NANDゲート8及び9の各出力信号は両方ともHレベルとなり、スイッチ3及び4の両方がオフとなるので、共通ノードの電圧はVDDノードとほぼ同じ値になるまで上昇する。このときは、電流源2のゲート-ドレイン間容量の影響によりB I A S電圧が上昇するが、この場合にはDP端子及びDM端子から電流は出力されないのので、出力電流補正トランジスタ11を動作させる必要はない。

【0021】

本実施形態では、電流源2の出力電流そのものを比較・監視の対象とせず、これと比例関係にある電流比較回路10内のPMOSトランジスタ23の比較的小さな出力電流を比較・監視の対象としているので消費電流を抑えることができる。

【0022】

以上説明したように、本第1の実施形態によれば、データ送信開始時に電流源2の出力電流が増加しても、余分な電流をグランドノードに流すので、DP端子またはDM端子から外部に流れる電流を規格値等の所望の範囲内に収めることができる。

【0023】

第2の実施形態

図4に本発明の第2の実施形態に係る電流駆動型差動ドライバの構成を示す。第1の実施形態は電流源2の出力電流の中の余分な部分をグランドノードに流す

構成を取っていたが、以下に説明する第 2 の実施形態は、D P 端子または D M 端子から外部に出力される電流の値を直接制御する構成となっている。

【 0 0 2 4 】

図 4 に示すように、B I A S 端子は電流源 2 のゲート端子、電流比較回路 1 0 の B I A S 端子、及びソース端子が V D D ノードに接続された B I A S 電圧補正用のトランジスタ（以下、B I A S 補正トランジスタという）1 2 のドレイン端子に接続されている。電流比較回路 1 0 の O U T 端子は B I A S 補正トランジスタ 1 2 のゲート端子に接続されている。前述した通り、データ送信開始時には電流源 2 のゲート - ドレイン（B I A S - 共通ノード）間容量の影響により B I A S 電圧が低下するので、電流源 2 が安定するまでの間、D P 端子または D M 端子から必要以上の電流が流れる。本実施形態では、電流比較回路 1 0 で電流源 2 の出力電流と基準電流とを比較し、比較結果に応じて B I A S 補正トランジスタ 1 2 のゲート端子に印加される電圧を変化させ、それにより B I A S 電圧を補正する。

【 0 0 2 5 】

次に上記構成の電流駆動型差動ドライバの動作を説明する。第 1 の実施形態と同様、データの送信開始時に B I A S 電圧が低下すると、電流比較回路 1 0 内の P M O S トランジスタ 2 3 の出力電流が基準電流より大きくなり、その結果ノード B の電圧がノード A の電圧より高くなる。差動増幅器 2 4 は、ノード B の電圧がノード A の電圧を超えて高くなるにつれ出力電圧を V D D ノードの電圧から低下させるように構成されている。従って、B I A S 電圧が低下すると B I A S 補正 B I A S 電圧は上昇する。このとき、B I A S 電圧の上昇幅は差動増幅器 2 4 の出力電圧に応じた値である。差動増幅器 2 4 は、B I A S 電圧が上昇し、P M O S トランジスタ 2 3 の出力電流が基準電流源 2 0 の基準電流と同じあるいはそれ以下になると、V D D ノードの電圧とほぼ等しい電圧を出力するように構成されている。従って B I A S 電圧が正常値に復帰すると B I A S 補正トランジスタ 1 2 は B I A S 電圧の補正動作を停止する。

【 0 0 2 6 】

以上説明したように、本第 2 の実施形態によれば、データ送信開始時に電流源

2 の出力電流が増加した場合、B I A S 電圧を自動的に補正するので D P 端子または D M 端子から必要以上の電流が外部に流れることを防止し、出力電流を規格等で定められる所望の範囲内に収めることができる。また、第 1 の実施形態では製造ばらつきや周辺環境の変動に伴い出力電流補正トランジスタ 1 1 の駆動能力が変化すると D P 端子または D M 端子から外部に流れる電流が変化してしまうという問題があるが、本第 2 の実施形態では電流源 2 の出力電流を直接制御しているのでこのような問題は発生しない。

【 0 0 2 7 】

第 3 の実施形態

次に本発明の第 3 の実施形態として、電流駆動型差動ドライバを含むマクロセルについて説明する。ここではマクロセルは U T M I 仕様 (USB2.0 Transceiver Macrocell Interface Specification Version 1.05仕様) のものとする。以下、このマクロセルを P H Y という。

【 0 0 2 8 】

先ず、U T M I 仕様の概略を、P H Y の概略構成を示す図 5 を参照し、データの送信を行う場合について説明する。同図に示すように P H Y は電流駆動型差動ドライバ (以下、H S ドライバという) 1、パケット生成回路 3 0、フリップフロップ 3 1、3 2、分周回路 3 4、P L L 回路 3 3 を含む。

【 0 0 2 9 】

U T M I 仕様では High-speed モードでデータの送信を行う場合には、P H Y は上位のコントローラから 3 0 M H z や 6 0 M H z の周波数でパラレルデータを受信し、内部でパラレル - シリアル変換を行い、4 8 0 M H z の周波数でシリアルデータを出力する。データの送信制御はコントローラから出力される T x V a l i d 信号の論理レベルに基づいて行う。

【 0 0 3 0 】

P H Y は、コントローラから出力される T x V a l i d 信号を C L O C K 信号の立ち上がりで取り込みそのレベルを判別する。パケット生成回路 3 0 はデータ送信時には D a t a I n 端子から入力されるデータのパラレル - シリアル変換、S Y N C パターン (同期パターン) 生成、N R Z I (Non Return to Zero Inver

t) エンコーディング、Bitstuff処理等を行う。また、データ送信終了時にはEOP (End of Packet) 信号生成等のパケット形成処理を行い、SDATA_O端子及びOE端子からシリアルデータ及び出力許可信号をHSドライバ1に送る。それによりDP端子またはDM端子から小振幅差動信号が出力される。

【0031】

データ送信時以外はOE端子から出力禁止信号がHSドライバ1に送られ、HSドライバ1の出力はHi-Z (ハイインピーダンス) となる。通常、CLOCK信号としては、PLL回路33から出力されるクロックパルスを分周回路34で分周したものが用いられる。PLL回路33の出力及び分周回路34の出力は、パケット生成回路30及びその他のブロックにも供給される。

【0032】

尚、UTMI仕様では、データの送信を開始する際、アクティブ状態に遷移した直後のTxValid信号をPHYがCLOCK信号の立ち上がりで取り込んだ時点からDP端子またはDM端子から小振幅差動信号が出力される時点までの期間を8~16ビットタイムとすることを推奨しており、従ってパケット生成回路30はこの期間内に前述のパケット形成処理を行う必要がある。

【0033】

図6に本発明の第3の実施形態の構成を示す。第3の実施形態のマクロセルは図5に示した従来のマクロセルと同様、電流駆動型差動ドライバ (以下、HSドライバという) 1、パケット生成回路30、フリップフロップ31、32、分周回路34、PLL回路33を含む。第3の実施形態のマクロセルは、図6のものとは異なり、更にインバータ35を含む。

【0034】

上位のコントローラから送られるパラレルデータを取り込むDataIn端子はフリップフロップ31のD端子に接続され、データの送信を制御するTxValid信号を取り込むTxValid端子はフリップフロップ32のD端子に接続される。フリップフロップ31のQ端子はパケット生成回路30のPDATA_I端子に接続され、フリップフロップ32のQ端子はパケット生成回路30のVALID端子とフリップフロップ32のQ端子はインバータ35の入力端子と

に接続される。

【0035】

パケット生成回路30のSDATA__O端子はHSドライバ1のデータ入力端子に接続され、パケット生成回路30が生成したシリアルデータはこのSDATA__O端子からHSドライバ1に送られる。HSドライバ1はこのシリアルデータの論理レベルに応じた小振幅差動信号をDP端子及びDM端子から出力する。

【0036】

パケット生成回路30のOE端子はHSドライバ1のOE端子に接続され、パケット生成回路30はこのOE端子を介してOE信号をHSドライバ1に送ることにより、HSドライバ1からのデータ出力の許可・禁止を制御する。インバータ35の出力端子はHSドライバ1のACTIVE端子に接続され、HSドライバ1内の電流源2の動作を制御する。

【0037】

HSドライバ1の内部構成を図7に示す。同図に示すように、ACTIVE端子は2入力ORゲート13の一方の入力端子に接続され、2入力ORゲート13の他方の入力端子はOE端子に接続され、2入力ORゲート13の出力端子はスイッチ14のゲート端子に接続される。この構成により、HSドライバ1の出力の許可・禁止の制御とHSドライバ1内の電流源2の動作制御を独立して行うことができる。

【0038】

以下に図8のタイムチャートを参照して本第3の実施形態のマクロセルの動作を説明する。

DP端子／DM端子からの小振幅差動信号の出力は、TxValid信号をアサートする（アクティブにする）ことにより開始されるが、既に説明したようにUTMI仕様ではアサートされたTxValid信号をPHYがCLOCK信号の立ち上がりで取り込んだ時点からDP端子／DM端子より小振幅差動信号が出力されるまでの期間を8～16ビットタイムとすることを推奨している。この期間はパラレルデータのパラレルーシリアル変換やSYNCパターン生成、NRZIエンコーディングおよびBitstuff処理などのために設けられている。アサート

されたTxValid信号をPHYがCLOCK信号の立ち上がりで取り込むと、ACTIVE信号がLレベルとなり、2入力ORゲート13の出力がLレベルとなる。これによってスイッチ14がオンとなり、電流源2が動作状態となる。

【0039】

次に、パケット生成回路30からパケットに形成された送信データが出力され、それとともにOE信号がHレベルになると、2入力ORゲート13の出力はHレベルとなり、スイッチ14はオフとなる。それと同時にDATA信号に基づいて2入力NANDゲート9及び8のいずれか一方の出力信号がLレベルとなり、スイッチ3または4がオンとなるので電流源2からDM端子またはDP端子に電流が出力される。ACTIVE信号がHレベルからLレベルに遷移した場合には前述の如く電流源2のゲートドレイン間容量の影響によりBIAS電圧が低下し、電流源2から必要以上の電流が流れるが、遷移直後は電流はスイッチ14を介してグランドノードに流れるだけである。この構成により電流源2が動作状態となってからDP端子またはDM端子より電流が出力されるまでに、BIAS電圧を正常値に復帰させ、電流源2を安定状態に置くことが可能となる。

【0040】

以降、DATA信号のレベルの変化に応じて2入力NANDゲート8および9の出力信号が変化し、スイッチ3および4のいずれかがオンとなり、DP端子またはDM端子から電流が出力される動作が続く。

【0041】

以上説明したように、本第3の実施の形態では、データ出力の許可・禁止を制御するOE信号と電流源2の動作を制御するACTIVE信号とを分離することにより、電流源2が安定な状態に移行するのに必要な時間をデータの出力が実際に開始される前に設けることができるので、データを送信しない期間は電流源2を停止させるようにし、消費電流を低減することが可能となる。

【0042】

第4の実施形態

第1及び第2の実施形態では電流比較回路10の入力と出力との間には遅延時間があり、この遅延時間の間は電流源2から必要以上の電流が流れるという問題

がある。また、第 3 の実施形態においても今後高速化が進んだ場合には、T x V a l i d 信号がアクティブに遷移してから D P 端子 / D M 端子から電流が出力されるまでの時間が短くなり、電流源 2 を安定化させるには不足する可能性がある。

第 4 の実施形態はこのような問題に対処できるように、第 1 の実施形態の電流比較回路 1 0 及び出力電流補正トランジスタ 1 1 を第 3 の実施の形態に追加した図 9 の構成となっている。

【 0 0 4 3 】

この構成は、データの送信に先立ちスイッチ 1 4 がオンとなり、スイッチ 1 4 を介して電流源 2 からの電流をグランドノードに流す点では第 3 の実施形態と同じであるが、それと同時に電流比較回路 1 0 が出力電流補正トランジスタ 1 1 による出力電流の補正を開始する点で第 3 の実施形態と異なる。即ち、第 4 の実施形態では、データが実際に送信される時には既に出力電流が補正されていることになる。

【 0 0 4 4 】

このように、本第 4 の実施形態では、第 3 の実施形態と同様、データを送信しない間は電流源 2 を停止させることにより消費電流を低減することができることに加え、今後高速化が進み、T x V a l i d 信号がアクティブに遷移してから D P 端子 / D M 端子から電流が出力されるまでの時間が短くなり、電流源 2 を安定化させるには不足するようになっても、電流比較回路 1 0 及び出力電流補正トランジスタ 1 1 による出力電流補正がデータを実際に送信する前に行われるため、必要以上の電流が D P 端子 / D M 端子から出力されることを防止できる。

【 0 0 4 5 】

上述の第 1、第 2、及び第 4 の実施形態では、図 2 に示した構成の電流比較回路 1 0 を用いたが、電流比較回路 1 0 の構成は図 2 のものに限定されるものではなく、2 つの電流の差分に応じた電圧を出力する任意の回路構成とすることができる。また、第 4 の実施形態は、第 1 の実施形態と第 3 の実施形態の組み合わせとしたが、第 2 の実施形態と第 3 の実施形態の組み合わせとしてもよい。この場合の H S ドライバの構成を図 1 0 に示す。動作は第 2 の実施形態と第 3 の実施形

態の動作説明から容易に理解できるので説明は省略する。

【0046】

また、上述の各実施形態はUSB2.0仕様のPHYに使用可能な構成であるが、本発明は電流駆動型小振幅差動信号により通信を行う、例えばIEEE1394規格のような他のインタフェースにも適用可能である。IEEE1394規格の場合はHSドライバの構成は例えば図11に示す構成とすることができる。この構成ではコモンノードはグランドとは異なり、電流の駆動はPOS端子及びNEG端子のいずれかから電流を流し、他方から電流を引き込むことにより行われる。

【0047】

【発明の効果】

本発明によれば、電流駆動型差動ドライバを用いてデータを送信する際に、消費電流を増加させることなく出力不許可状態から出力許可状態への遷移に伴う出力電流の増大を防止することが可能となり、それにより高速データ伝送を低消費電力で実現することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る電流駆動型差動ドライバの構成を示す図である。

【図2】 図1のドライバの電流比較回路の内部構成を示す図である。

【図3】 図1のドライバの動作を説明するタイムチャートである。

【図4】 本発明の第2の実施形態に係る電流駆動型差動ドライバの構成を示す図である。

【図5】 UTMI仕様のPHYの構成を示す図である。

【図6】 本発明の第3の実施形態に係るPHYの構成を示す図である。

【図7】 図3のPHYのHSドライバの内部構成を示す図である。

【図8】 図6のPHYの動作を説明するタイムチャートである。

【図9】 本発明の第4の実施形態に係る電流駆動型差動ドライバの構成を示す図である。

【図10】 本発明の第4の実施形態に係る電流駆動型差動ドライバの変形

例の構成を示す図である。

【図 1 1】 本発明の電流駆動型差動ドライバを I E E E 1 3 9 4 規格に適合させた構成例を示す図である。

【図 1 2】 小振幅差動信号によりデータの送受信を行う構成の例を示す図である。

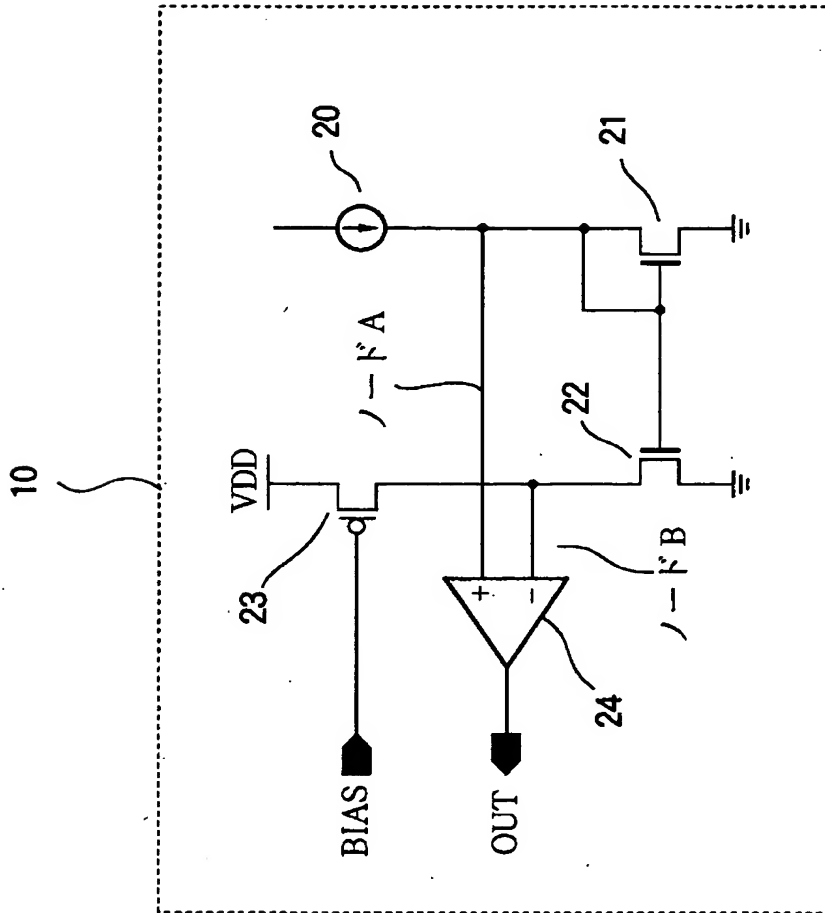
【図 1 3】 従来の電流駆動型差動ドライバの構成を示す図である。

【図 1 4】 高速型の従来の電流駆動型差動ドライバの構成を示す図である。

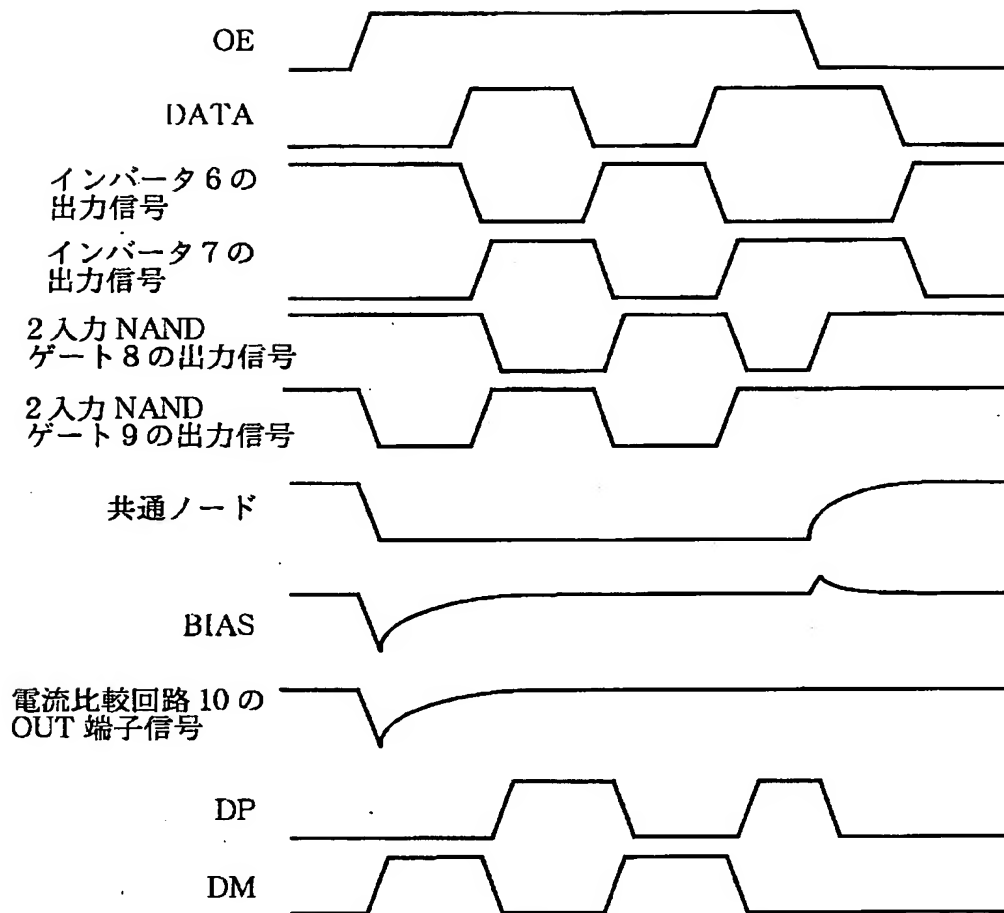
【符号の説明】

1 電流駆動型差動ドライバ、 2 電流源、 3, 4 スイッチ、 1 0 電流比較回路、 1 1 出力電流補正トランジスタ、 2 0 基準電流源、 2 4 差動増幅器、 3 0 パケット生成回路、 3 3 P L L 回路、 3 4 分周回路。

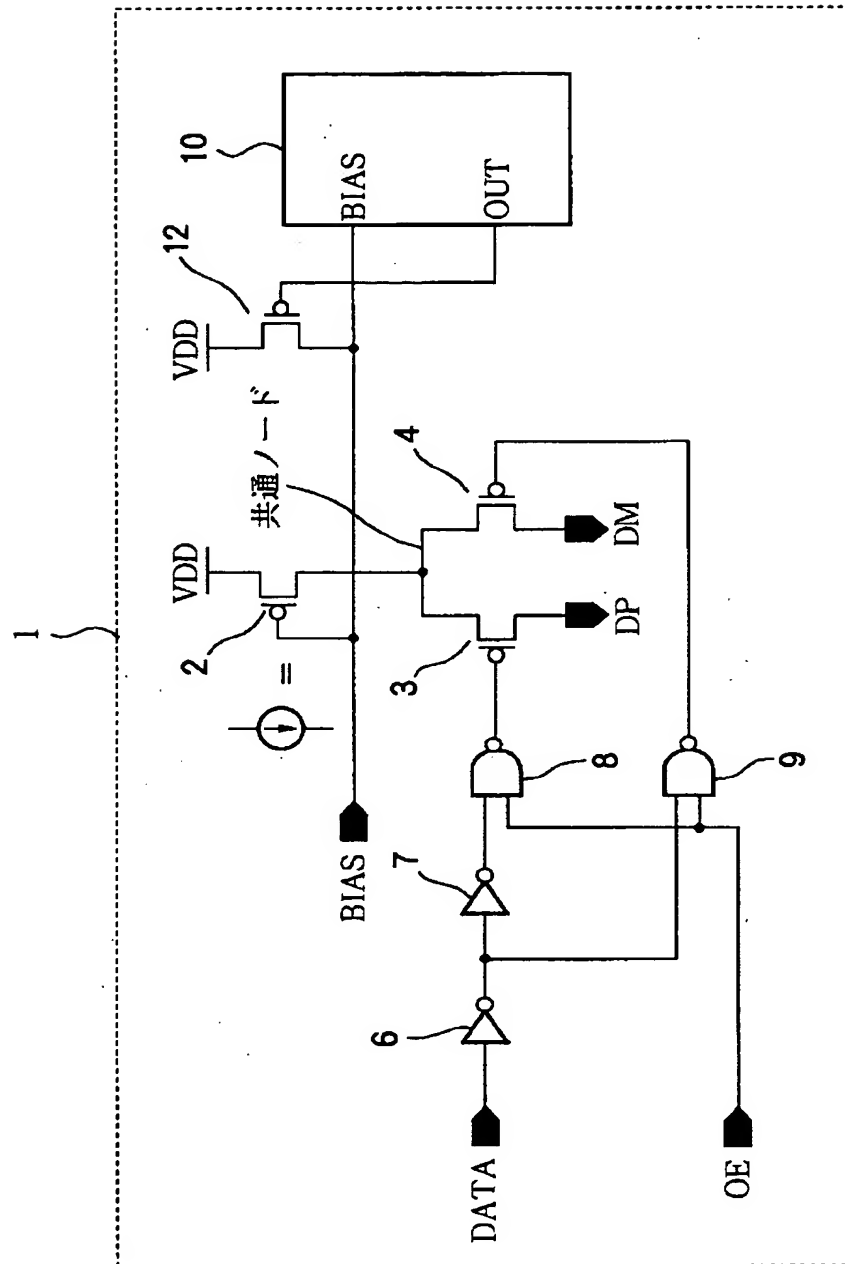
【図 2】



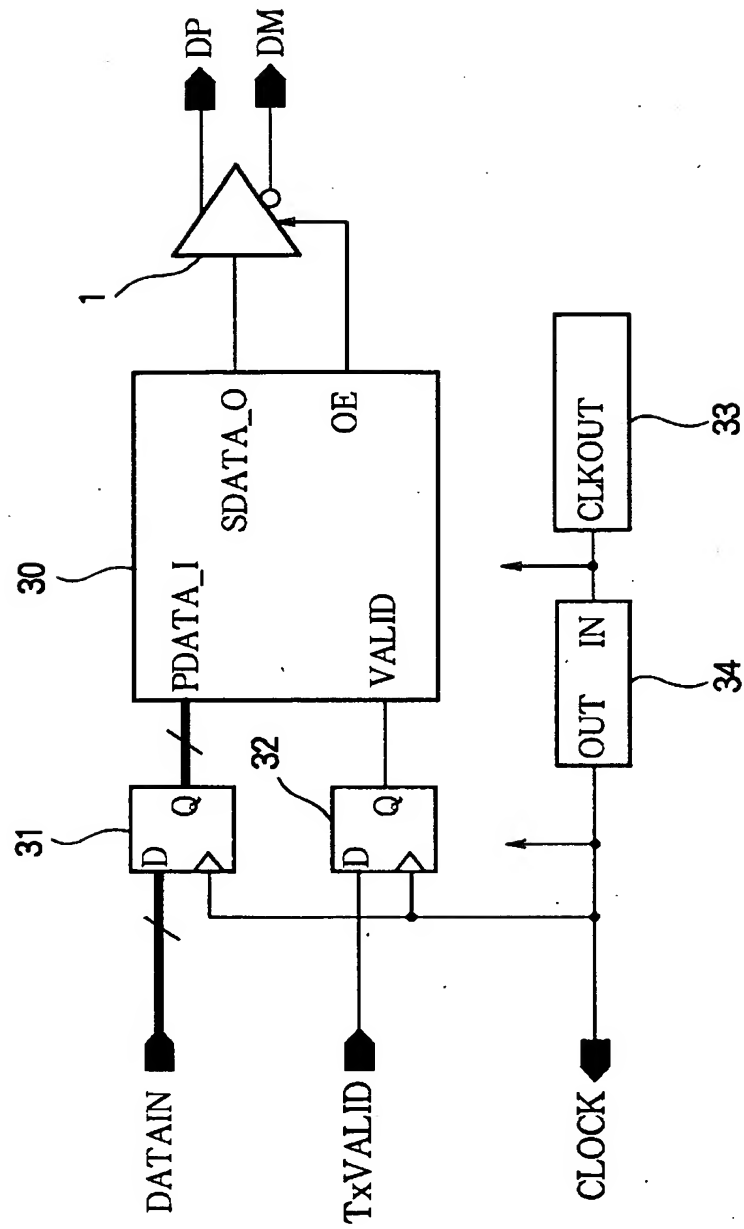
【図 3】



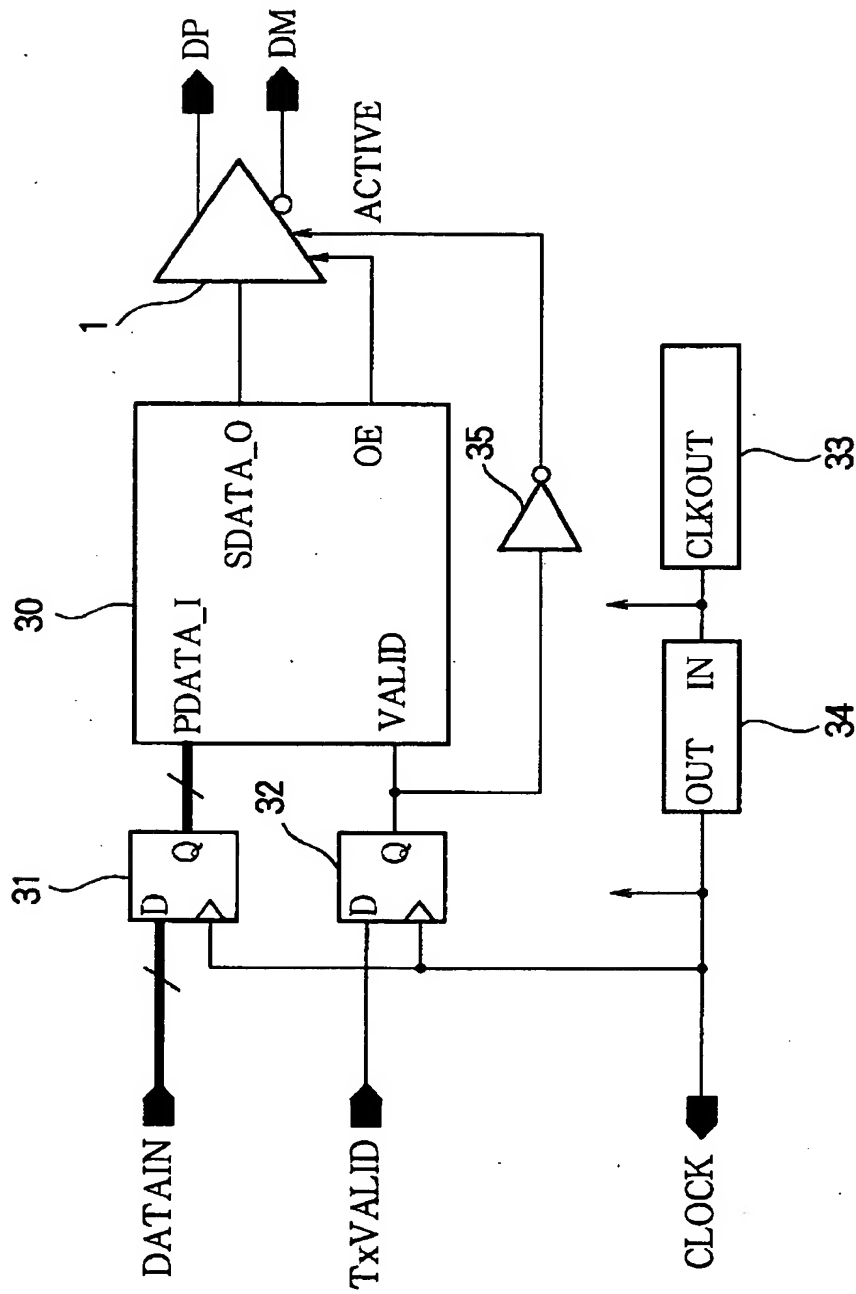
【図 4】



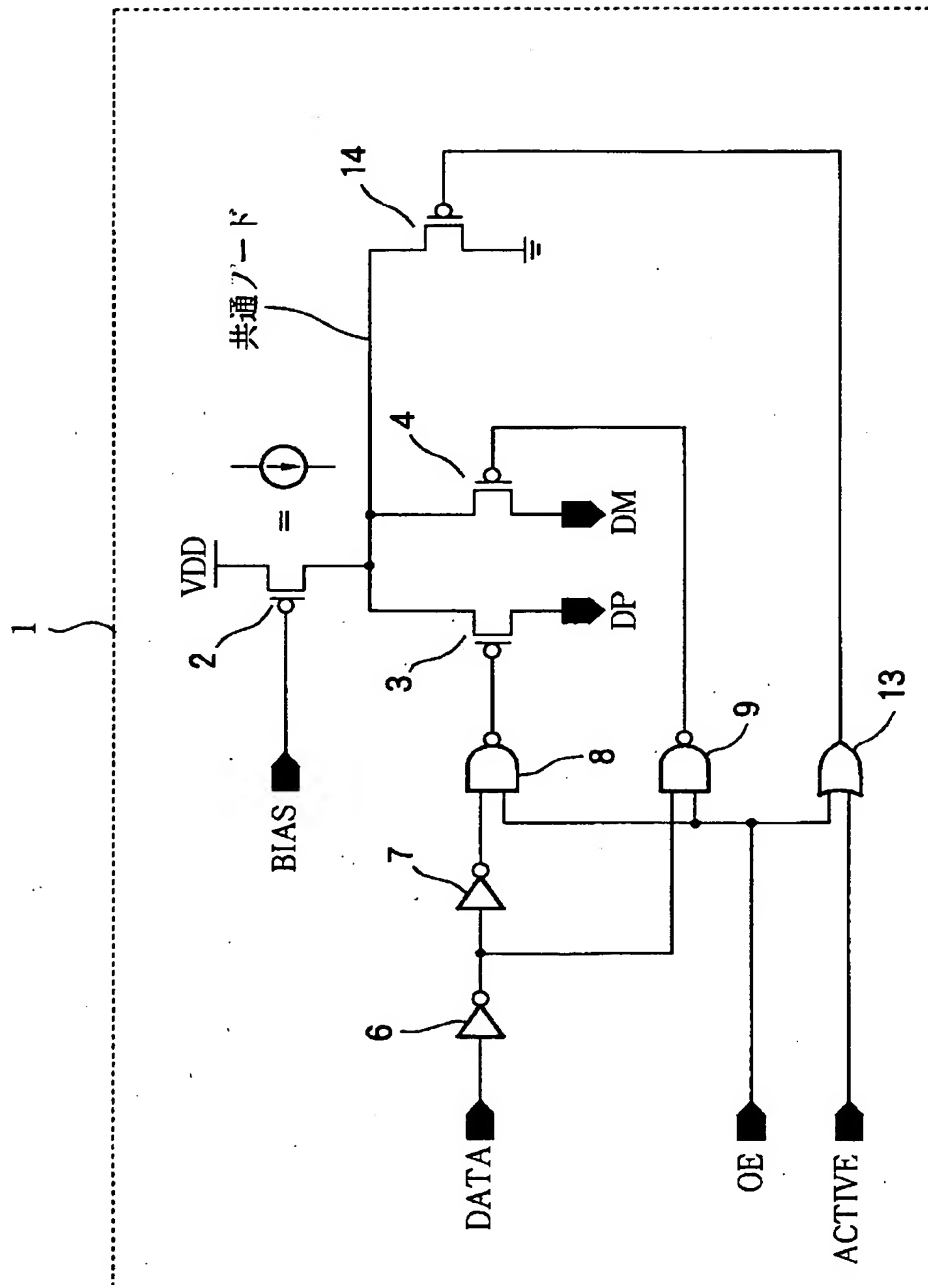
【図 5】



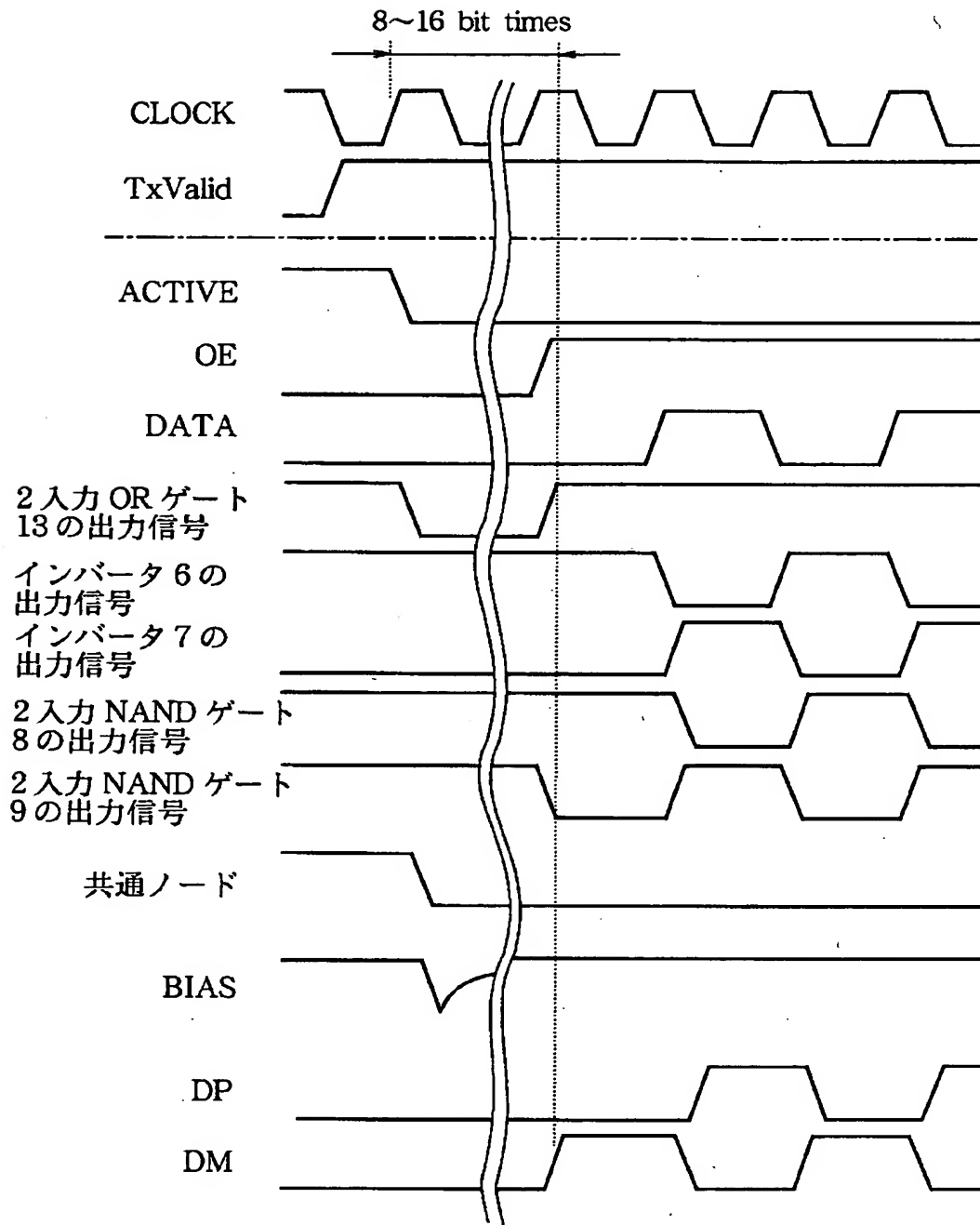
【図 6】



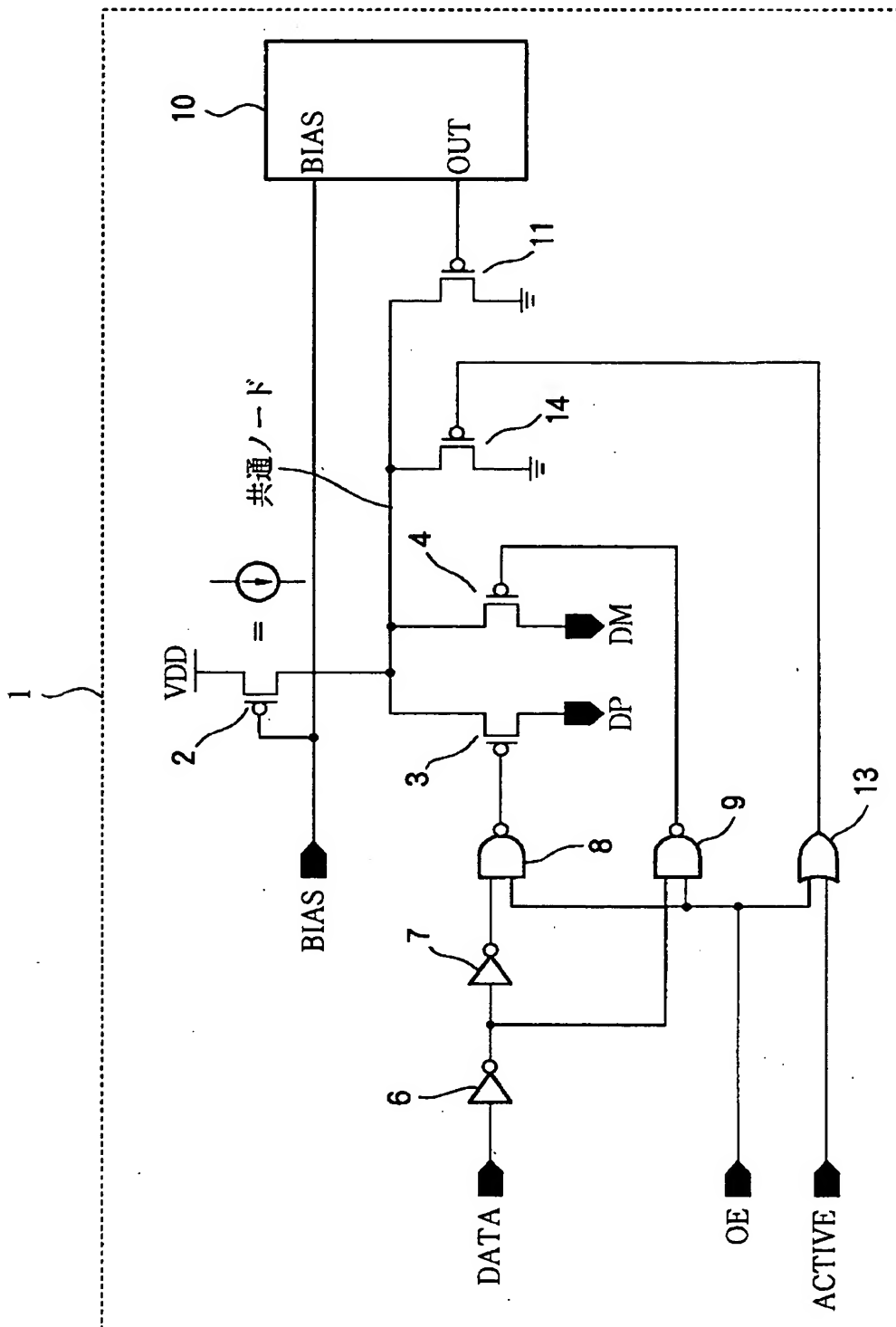
【图7】



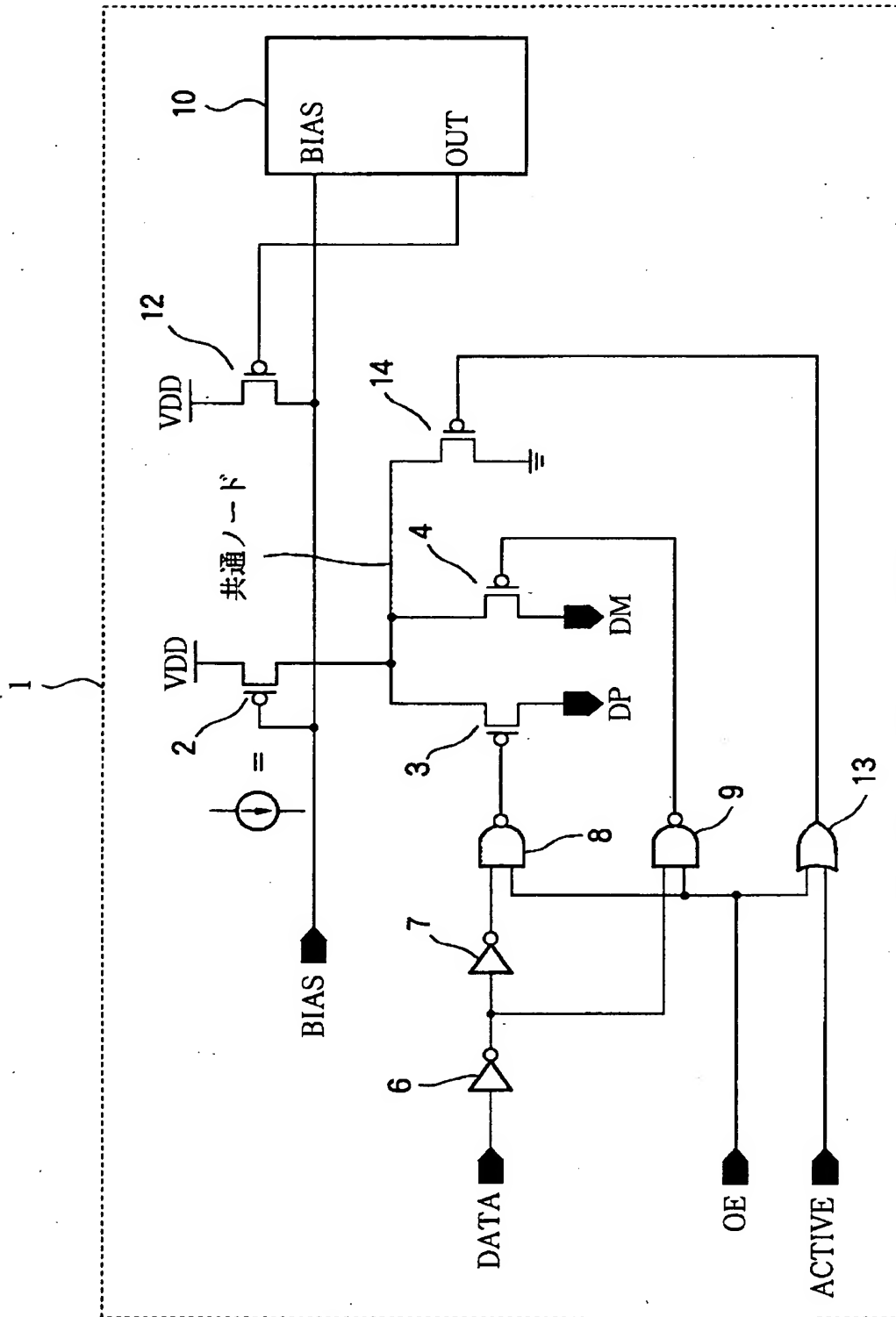
【図 8】



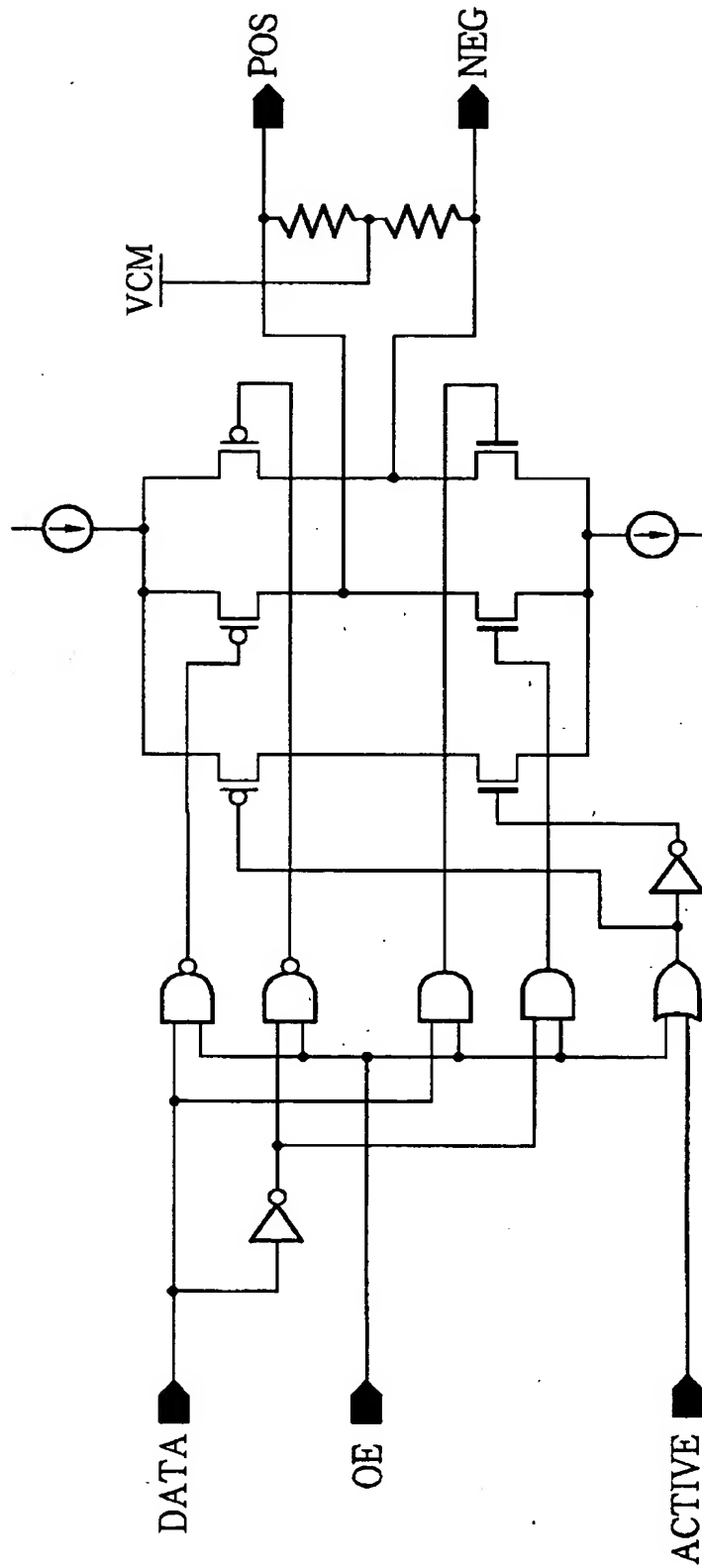
【図 9】



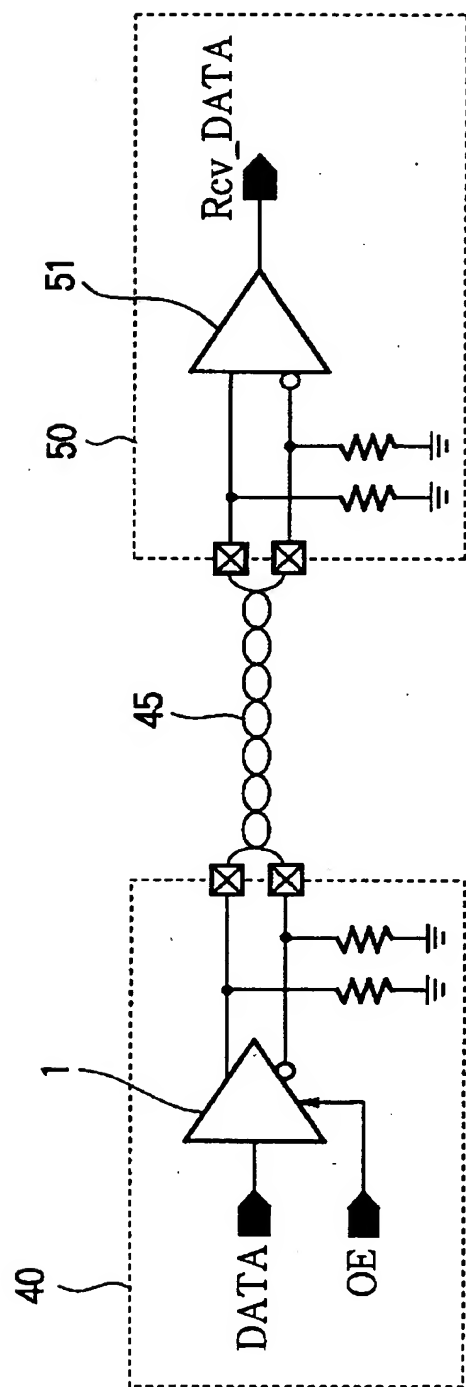
【図10】



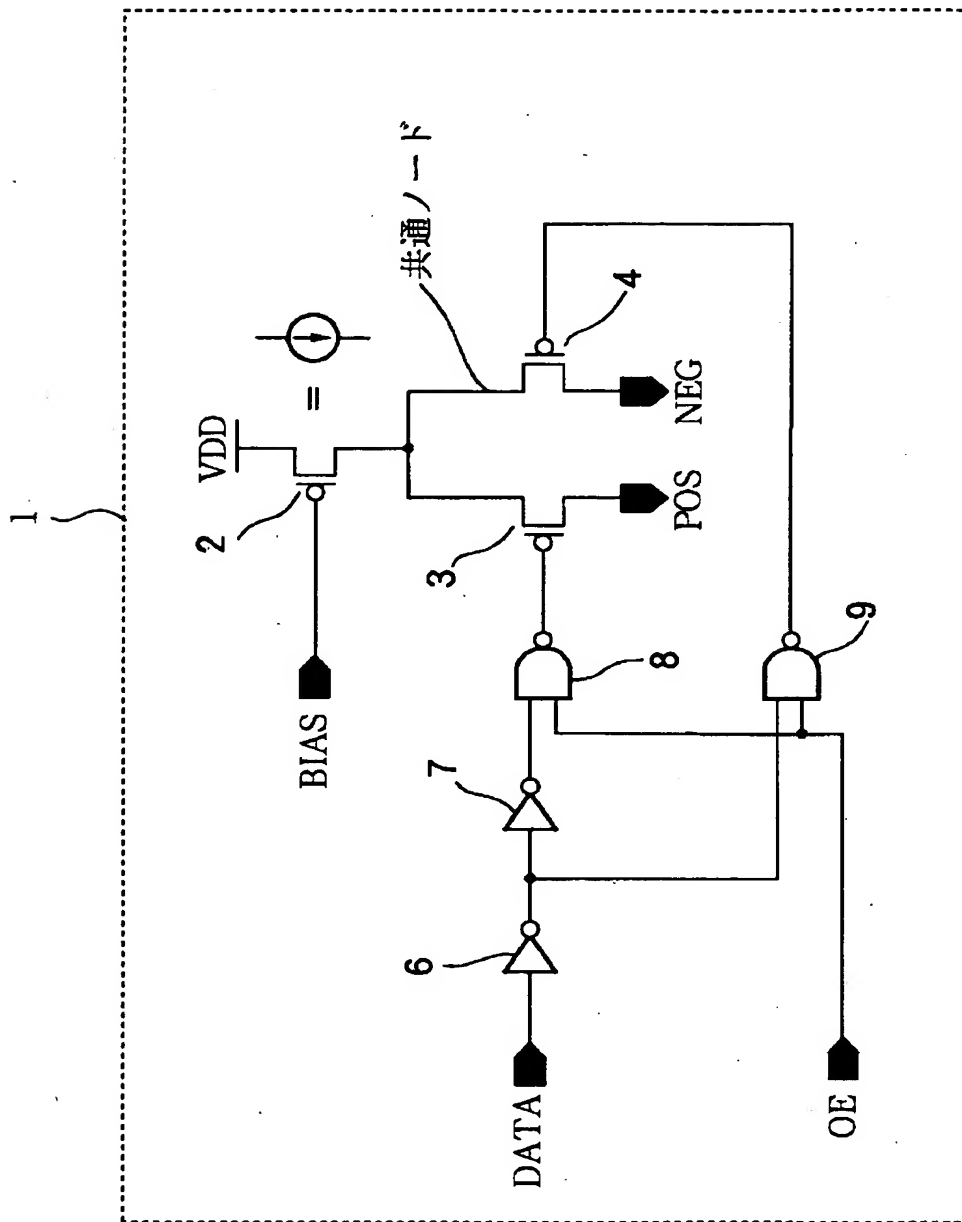
【図 11】



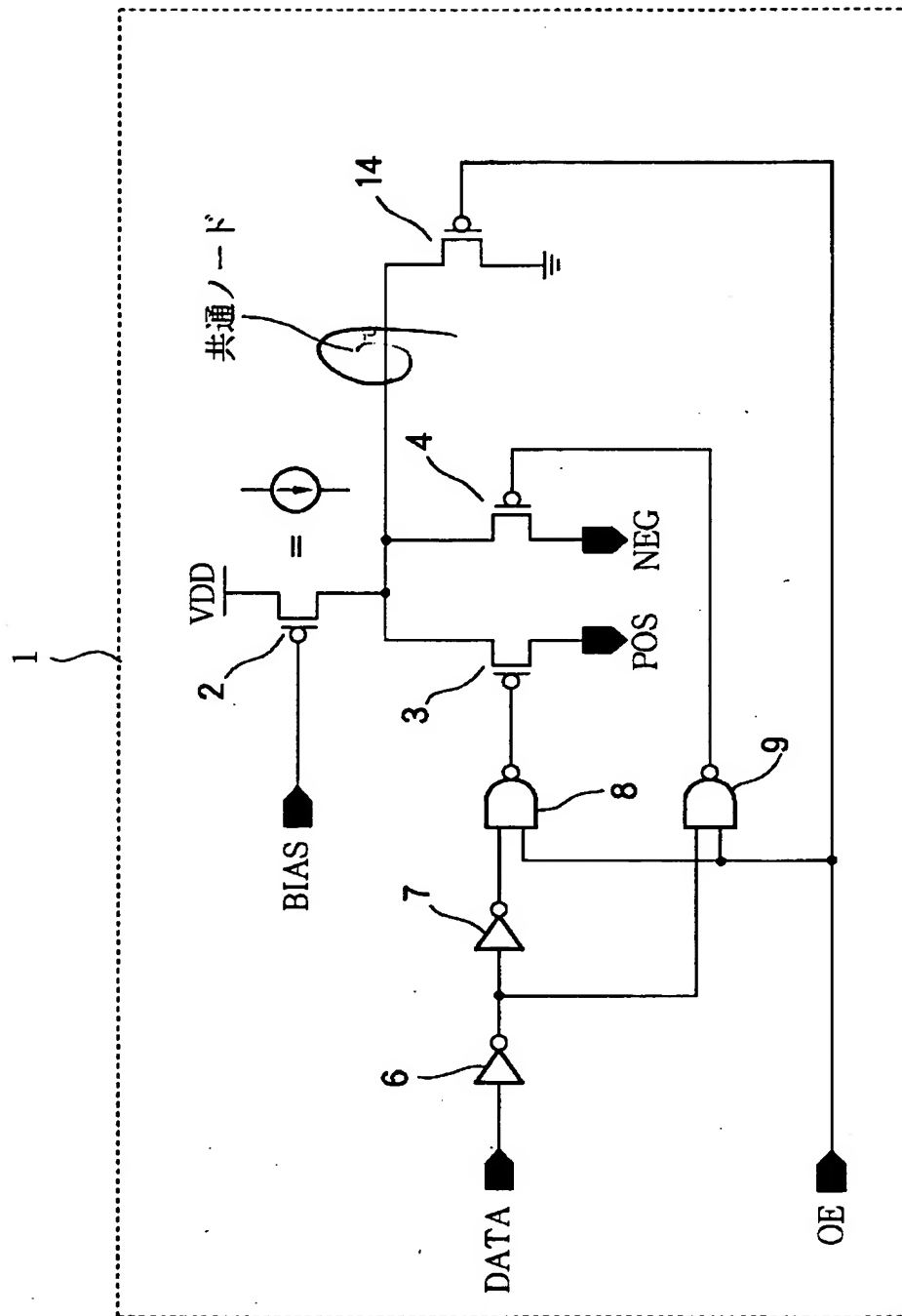
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 電流駆動型差動ドライバを用いてデータを送信する際に、消費電流を増加させることなく出力不許可状態から出力許可状態への遷移に伴う出力電流の増大を防止することが可能となり、それにより高速データ伝送を低消費電力で実現する。

【解決手段】 電流源 2 と、該電流源と 2 つの出力端子 D P, D M との間にそれぞれ接続された 2 つの電流スイッチ 3, 4 と、送信すべきデータの値に従い前記 2 つの電流スイッチを選択的に閉じる手段 6, 7, 8, 9 とを有する電流駆動型差動ドライバに、前記電流源から流れる電流と基準値との差分に応じた値の信号を出力する比較手段 1 0 と、前記比較手段の出力する信号の値に応じた電流を前記電流源から前記 2 つの出力端子とは異なるノードに流す出力電流補正手段 1 1 とを設ける。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社